電子機器開発者のための半導体パッケージ熱設計入門

待ったなし！ SOC＆SiPの熱対策

デバイスの記事　ボードの記事

中島宏文

一つのチップに多数の回路を集積したシステムLSIや，一つのパッケージに複数のチップを封止したマルチチップ・モジュールを使ったシステム設計が一般的になってきた．そこで表面化してきた問題が，機器の熱設計である．ここでは，半導体パッケージの熱特性を理解しながら，どのように熱抵抗を抑え，電子機器を設計すればよいかについて解説する．（編集部）

最近，筆者が所属する半導体パッケージ技術部門に，電子機器メーカからの半導体パッケージ（以下，パッケージ）の熱抵抗に関する問い合わせや熱抵抗の低減に対する要求が多く寄せられるようになりました．この背景としては，

- 電子機器の動作が全般的に高速になってきた
- 機器が小型になって高密度実装を行った結果，熱密度が上がってきた
- 電子機器を設計する際にデザインを重視したため，十分な放熱経路が得られない

といった電子機器メーカ側の事情が挙げられます．これに加えて，以下のような半導体メーカ側の事情もあります．

- 半導体チップ（以下，チップ）の微細化に伴って，より多くの回路がチップに集積され，発熱量が大きくなった
- 同じ性能を備えたチップなのに，サイズが小さくなったためにパッケージの熱抵抗が上がった

例えば，現在市販されているテレビ機能付き携帯電話の中には，「長時間テレビを見るとやけどをする可能性がある」といった警告ラベルが貼られている機種があります．従来，携帯電話では熱を機器全体に拡散することで，特定部が熱くならないように設計していました．しかし，上述した半導体デバイスや電子機器の進化によって発熱量が増加し，機器全体への熱拡散だけでは対処できない状況になっているようです．

現在の電子機器設計において，熱設計は電気設計と同じレベルの重要性を持つようになってきたと筆者は感じています．そこで本稿では，パッケージの熱設計の概要について解説します．電子機器の設計者にパッケージの熱設計とその特性を理解してもらい，システム全体の熱設計に役立てていただきたいと思います（右掲のコラム「半導体パッケージに対する顧客の要求」を参照）．

1 熱設計を取り巻く環境の変化

● 電子機器の性能や信頼性を左右する熱抵抗

ではまず，半導体デバイスの熱抵抗が電子機器に与える影響について説明しておきましょう．

1）保証温度以上では動作速度が遅くなる

一般に，チップ温度が動作保証温度以上になると，その半導体デバイスの動作速度は遅くなってしまいます．例えば，200MHzで動くはずの部品が保証温度以上なら190MHzでしか動かないといった現象です．これを無理に200MHzで動作させると誤動作や過剰発熱が起き，最悪の場合，部品の破壊につながります．

2）高温では寿命が短くなる

高温で半導体デバイスを使用していると，長期的な影響としてデバイスの寿命が短くなることが知られています．この場合，目で見てわかるような兆候は現れません．熱対策を講じないまま放置し，電子機器が壊れて初めて気づくというケースがあります．このような事態を防ぐためには，電子機器の設計段階において半導体デバイスの消費電力や熱抵抗に配慮した放熱設計を行い，半導体メーカから提示されている動作保証温度を超えないようにする必要があります．

Column 1 半導体パッケージに対する顧客の要求

電子機器メーカの顧客を訪問したときの会話です．

顧客：半導体の熱を基板に放熱するなどとんでもない．基板上には何十という部品が載っているのだから，それらがすべて基板に放熱したら基板が熱くなってしまうではないか．基板そのものは大きいかもしれないが，高密度実装しているのだから部品1個当たりのスペースは小さいのだよ．デバイスだけで熱を処理できる低熱抵抗のパッケージがあるだろう？

筆者：チップからパッケージ表面までは熱抵抗を下げることができますが，パッケージ表面から雰囲気への放熱は外形寸法と風量で決まってしまいます．パッケージの寸法を大きくするか，強制空冷できないのですか？

顧客：携帯機器にファンなど付けられないし，小型パッケージは必須だ．小型で低い熱抵抗のパッケージは用意されていないのか？

筆者：小型で低い熱抵抗を実現するために，パッケージから熱伝導で機器の筐体を経由して大気に熱を逃がしたらいかがでしょうか？それでしたらフリップチップCSPがあるので，フリップチップのなつ印面を筐体に高熱伝導ペーストで接着してもらえばよいと思います．

顧客：私が言っているのは，機器側に頼るのではなくて，パッケージだけで熱を処理できる方法がないかということだよ．

筆者：………．

なお，半導体デバイスにはディスクリート部品，パワー・デバイス，メモリLSI，論理LSIなどがあります．それぞれ特徴のあるパッケージを用いていますが，本稿ではとくに論理LSIに用いられる比較的多ピンのパッケージについて解説します．

● 高密度実装が熱密度を上げてしまった

電子機器の小型化や高速化，処理するデータ量の増大に伴って，配線遅延時間を最小限に抑制できる高密度実装技術が開発されてきました．装置そのものやプリント基板，パッケージ，チップなど，すべての階層において，実装が高密度化されています．

装置レベルの実装では，パソコンの小型化・薄型化やブレード・サーバの市場拡大などによって，単位体積当たりの消費電力が増加の一途をたどっています．プリント基板では両面実装技術に加えて，ビルドアップ基板による微細化が進み，さらには基板の内層に部品を埋め込むエンベデッド技術が実用化されようとしています．パッケージは，QFP（quad flat package）がBGA（ball grid array）になり，さらに端子ピッチを1.27mmから1.0mm，0.8mm，0.65mm，0.5mmへと縮小しながら高密度化が進み，今ではダイ・サイズと同じ大きさのCSP（chip scale package）が実用化されています．

ひと昔前は半導体の集積度が低く，そのパッケージのサイズも大きかったので，プリント基板の片面にしか部品を実装できませんでした．そのため，電子機器が熱的な限界に達するケースは多くありませんでした．しかし現在では，高密度実装によって電子機器を簡単に物理的な限界まで高密度に設計することができます．こうなると，空間的な制約からは解き放たれますが，熱という目に見えない制約に突き当たることになります．

また，チップの微細化によってシステム全体をチップ上に実現するシステムLSI（SOC：system on a chip）の開発が半導体業界全体で盛んに行われています．チップの微細化技術は，2003年にはすでに0.1μmを切るナノテクノロジの領域に突入していました．2004年に90nmの製造プロセスが採用され始め，今後，2007年に65nmプロセス，2010年に45nmプロセスが導入されると予測されています．となると，2004年～2010年の間にチップ当たりのトランジスタの集積度は4倍になります．これは，従来，四つの半導体デバイスに分かれて実装されていた機能が一つのパッケージに搭載されることになります．単純に考えると，熱密度が4倍になってしまいます．

● チップの動作周波数に比例して消費電力も上がる

電子情報技術産業協会（JEITA：Japan Electronics and Information Technology Industries Association）が発表した2004年度の実装技術に関するロードマップでは，低コスト（Low cost）/携帯機器（Hand-held）分野向けチップの内部コア周波数は，2004年に500MHzだったものが2010年には2倍の最大1000MHz（1GHz）になると予測されています[(1)]．一方，ウェハ加工技術の微細化にともなって，コア電圧は2004年の1.0Vが2010年には0.5Vに下がります．

チップの消費電力は電圧の2乗に比例し，かつ周波数にも比例します．つまり，2004年～2010年の間では，周波数の増加分が2倍，電圧の降下分が約1/4倍になり，一見，

消費電力が1/2になるように思えますが，上記の集積度アップ分（4倍）を加味すると，結局は2倍程度の増加となります．

これらの現状の技術の延長線上の予想に加えて，新しい低消費電力技術（pp.128-129のコラム「半導体デバイスの微細化とリーク電流のジレンマ」を参照）が導入されてくるため，一般の民生機器向けチップの消費電力は，1.1倍程度に抑制されると予想されています[1]．

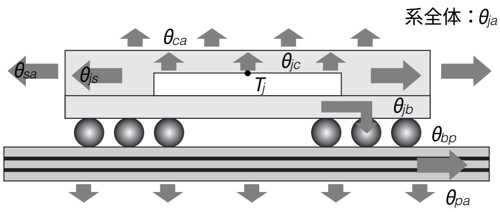
2 パッケージの放熱経路

次に，半導体パッケージの放熱の基礎について説明します．

図1に示すように，パッケージからの放熱には次の3種類があります．

- 固体内の熱量の移動である熱伝導
- 固体から流体への熱量の移動である対流（熱伝達）
- 電磁波によって熱を放射する熱放射

接続部（junction）から雰囲気に向かって流れる熱流の経



- θ_{ja}：接合部から雰囲気への熱抵抗（junction to ambient）
  パッケージ単体で使用する場合，この値を小さくすることが望ましい
- θ_{jc}：接合部からパッケージ表面への熱抵抗（junction to case）
  チップとパッケージ表面の間の材料の熱伝導率，熱伝導長，面積で決まる
- θ_{jb}：接合部からボールへの熱抵抗（junction to ball）
  チップ接着剤や基板の熱伝導率とはんだボールのレイアウトで決まる
- θ_{bp}：ボールのランドからプリント基板表面への熱抵抗（ball to PCB）
  実装基板の層数と配線パターン残存率，配線層の厚さから得られる基板の等価熱伝導率で決まる

$$\text{プリント基板の等価熱伝導率}^{(3)} = \frac{\Sigma(k_i \times t_i \times P_i)}{\text{トータル厚さ}}$$

  k_i：i層の熱伝導率，t_i：i層の厚さ，P_i：配線の残存率
- θ_{ca}：パッケージ表面から雰囲気への熱伝達および放射抵抗（case to ambient）
- θ_{pa}：プリント基板から雰囲気への熱伝達および放射抵抗（PCB to ambient）
- θ_{js}：接合部からパッケージ側面への熱抵抗（junction to side）
- θ_{sa}：パッケージ側面から雰囲気への熱抵抗（side to ambient）

図2　熱流の経路

接続部から雰囲気に向かって流れる熱流の経路に応じて熱抵抗を細分化した図．PBGA（plastic BGA）の例を示した．

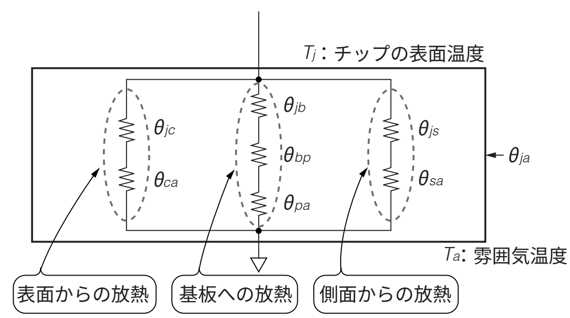


図3　熱等価回路

接合部から雰囲気までの熱抵抗であるθ_{ja}は，側面からの放熱は無視できるほど小さい．そのため，実際には基板への放熱と表面への放熱を考慮して設計する．PBGAの例を示した．

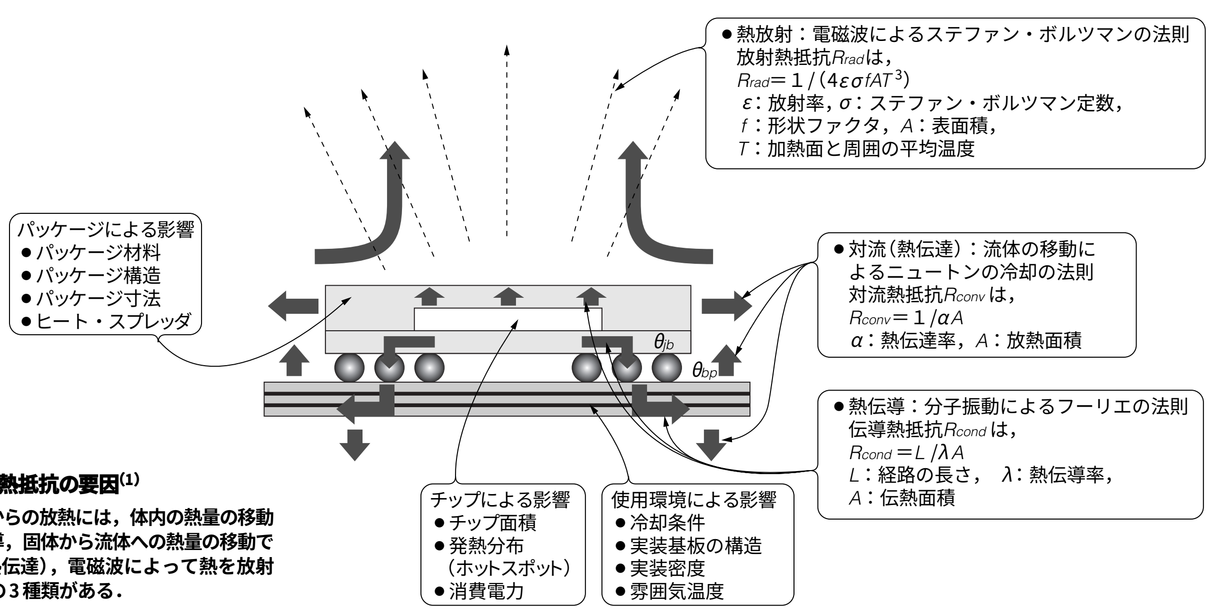


図1
放熱経路と熱抵抗の要因[1]

パッケージからの放熱には，体内の熱量の移動である熱伝導，固体から流体への熱量の移動である対流（熱伝達），電磁波によって熱を放射する熱放射の3種類がある．

路に応じて，各部の熱抵抗を**図2**のように細分化します．これらの熱抵抗を電気回路図と同じように表現したのが**図3**です．**図3**に示すように，放熱経路は大きく分けて，

- パッケージの表面トップから大気に対流熱伝達する経路
- 外部端子からプリント基板に熱伝導して，プリント基板から大気に対流熱伝達する経路
- パッケージ側面への放熱（無視できるほど小さい放熱）

の三つがあります．これら三つの経路の熱量の比率は，それぞれの経路の抵抗値に反比例します．これらのパラメータのうち，チップからパッケージ表面までの熱抵抗 θ_{jc}，パッケージ側面への熱抵抗 θ_{js}，ボールのランドからプリント基板表面への熱抵抗 θ_{bp} は，固体内の熱量の移動なので熱伝導に対する抵抗値です．また，パッケージ表面から雰囲気への熱抵抗 θ_{ca} とプリント基板から雰囲気への熱抵抗 θ_{pa} は，固体から流体への熱量の移動である熱伝達と熱放射に対する抵抗値です．

● プリント基板を介した放熱が支配的

最終的な熱の廃棄場所である大気への放熱（熱伝達）はニュートンの冷却の法則に従っており，その熱抵抗値は熱伝達率と放熱面積に反比例します．一般に，パッケージの表面積よりも圧倒的に大きな表面積を持つプリント基板からの放熱が，半導体デバイスから発生する熱の放熱に大きく寄与しています．自然空冷の場合，ある発熱量（W）を与えたときの対流熱伝達による温度上昇（ΔT）は，単純に表面形状の寸法と熱伝達率に関係する係数だけで決まり，下記の式で表されます[(2)]．

$$\Delta T = \left(\frac{\text{発熱量}}{\text{伝熱面積}\times 2.51\times \text{係数}C}\right)^{0.8}\times\left(\frac{\text{縦}\times\text{横}\times 2}{\text{縦}+\text{横}}\right)^{0.2}$$

ここで，係数 C は形状と配置によって決まる熱伝達に関する定数です．水平平板の場合，上向きでは $C=0.52$，下向きでは $C=0.26$ となります．例えば，水平に置かれた35 mm角のパッケージ（水平平板と見なせる）の上面から均等に1W発熱している場合の自然対流熱伝達による温度上昇は，上記の式から $\Delta T=88$ ℃になります．これは，雰囲気への熱伝達が表面積に制限されて放熱が十分に行われず，88 ℃まで温度が上がることを示しています．すなわち，35 mm角の伝熱面積を持つパッケージ表面の自然対流熱伝達に対する抵抗値 θ_{ca} は88deg/Wということになります．これは，チップからパッケージ表面への熱抵抗値 θ_{jc}（10 deg/W以下）と比べると非常に大きな値です（**表1**）．

一方，半導体パッケージの熱抵抗を実測する方法として，JEDEC（Joint Electron Device Engineering Council；電子部品の標準化を推進している米国の業界団体）では熱抵抗解析用試験基板に実装して測定することを規定しています．この試験基板の寸法は101.6mm×114.3mmです[(3)]．上式から，熱抵抗解析用試験基板の表面と裏面からの雰囲気への熱伝達抵抗は11.6deg/Wと計算されます．これは，パッケージ表面の対流熱伝達の熱抵抗値の1/8に相当します．

以上のことと放熱が熱抵抗に反比例することから，パッケージ面積から2割，実装基板から8割が放熱されているということになります．実際に熱流体解析を行うと，352ピンPBGA（plastic BGA）を4層基板に実装した状態では，9割がプリント基板経由で放熱されていて，パッケージ表面からの放熱はわずか１割という結果が出ています．

● 熱放射による放熱手法は大面積のものに限定

熱放射は電磁波による熱エネルギーの放出であり，絶対零度の物体以外はかならず何らかの熱放射を行っています．その熱放射の熱抵抗は**図1**に示したように，以下の数値を掛け合わせたものに反比例します．

- 放射率
- 形状ファクタ

表1
熱抵抗パラメータと数値の例

PBGA : plastic BGA
ABGA : advanced BGA
QFP : quad flat package

風速（m/s）	PBGA 352ピン，35mm角				ABGA 352ピン，35mm角				QFP3 04ピン，40mm角			
	Ψ_{jt}	θ_{jc}	θ_{ja}	Q_{TOP}	Ψ_{jt}	θ_{jc}	θ_{ja}	Q_{TOP}	Ψ_{jt}	θ_{jc}	θ_{ja}	Q_{TOP}
0.2 自然対流	0.2	4.1	24	0.05	0.2	0.3	13	0.7	0.8	9.1	30	0.1
1	0.4	4.1	19	0.1	0.2	0.3	10	0.7	1.2	9.1	26	0.14
2	0.6	4.1	17	0.5	0.2	0.3	9	0.7	1.7	9.0	24	0.19

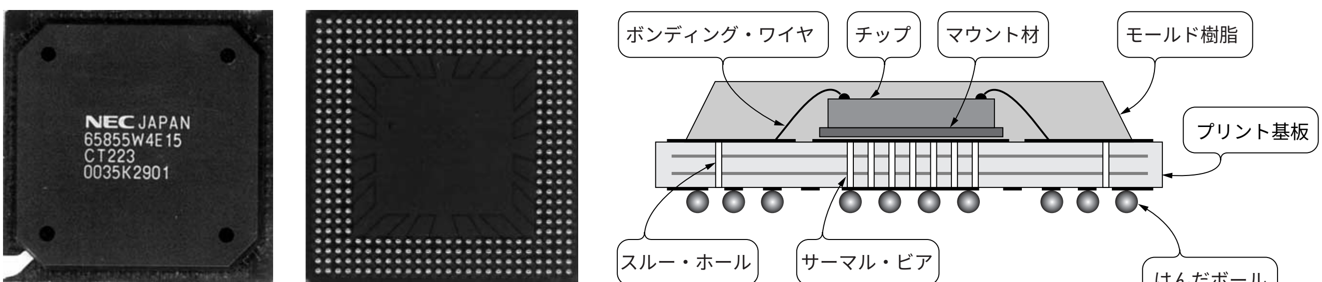
Ψ_{jt} ：デバイスが1W消費するときの接合部からパッケージなつ印面までの温度差（deg/W）
θ_{jc} ：接合部からパッケージ表面までの熱抵抗（deg/W）　Q_{TOP}：接合部から表面トップに流れる熱量（W）
θ_{ja} ：接合部から雰囲気までの熱抵抗（deg/W）　接合温度＝Ψ_{jt}×消費電力＋デバイス表面温度

- 表面積
- 加熱面と周囲の平均絶対温度の3乗

絶対温度の高い状態では，電磁波の放射によって活発に熱交換が行われます．逆に，絶対温度の低い状態では電磁波の放射が少なく，熱放射による熱エネルギーの放出は小さくなります．

熱放射の効率を表す放射率は，物質の表面状態によって0～1の間で数値化されます．例えば，鏡面のアルミニウムの場合はほとんど熱放射がないため，放射率は0.05となりますが，黒色アルマイト処理（放熱効果を上げるための表面処理）を行うと0.95と放射率が高くなります．また，黒ラッカーや白ペイントなどの塗料を塗るだけでも放射率を0.9に上げることができます．

放射率の高い材料を半導体パッケージ表面に塗布して，熱放射によって放熱しようという提案もなされています．しかし，熱放射は放射面積や平均絶対温度の3乗に比例するため，この方法が十分に効果を上げるには半導体パッケージの表面積が大きいこと，雰囲気温度そのものが高温域にあることが前提となっています．言い換えれば，小型のCSPよりも大型のパッケージのほうが熱放射効果は大きいということで，将来，熱抵抗を下げる必要性が増してくるCSPなどには効果が小さいと言えます．



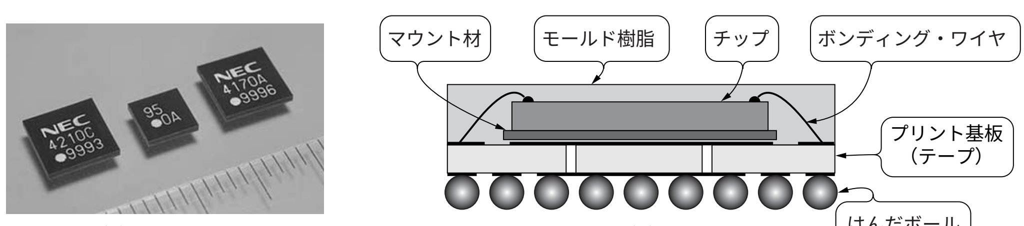
（a）チップ表面　（b）チップ裏面　（c）チップ断面図

図4　PBGA

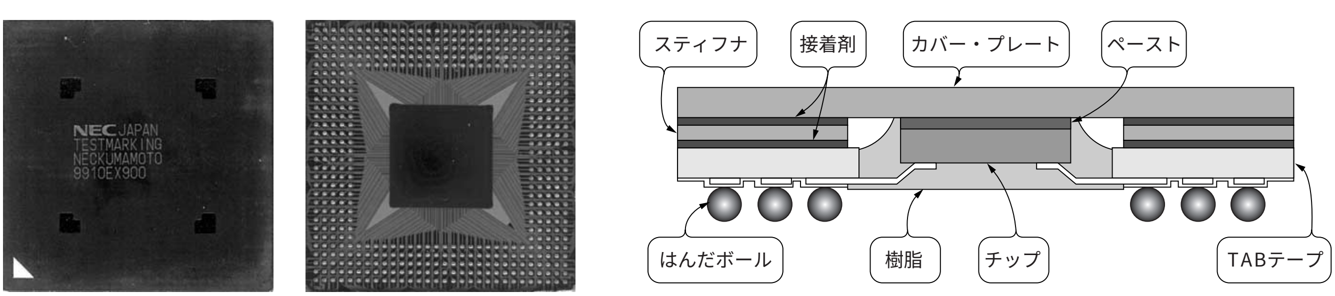
PBGAは，両面または4層のプリント基板上に半導体チップを搭載してワイヤ・ボンディングし，樹脂によって封止した後，チップ搭載面の反対側にはんだボールを配置したパッケージ（キャビティ・アップ）．熱抵抗を下げるため，チップの直下にはんだボールを配置してスルー・ホールで熱の通り道を設けている．また，パッケージ基板には4層基板やメタルコア基板を用いて，熱抵抗を下げている．

図5
FBGA

FBGAは，はんだボール・ピッチが1mm未満のPBGAを指す．数量ベースでもっとも多く使われているパッケージ．



（a）チップ外観　（b）チップ断面図



（a）チップ表面　（b）チップ裏面　（c）チップ断面図

図6　TBGA

TAB（tape automated bonding）技術で半導体チップをボンディングしたテープ基板のBGA．ボール・ピッチは1mm～1.27mm，ボール数は256～868個．

● **パッケージの熱抵抗を決める五つの要因**

チップ表面から環境雰囲気までの熱抵抗値θ_{ja}を決めているおもな要因は次のとおりです．

1）パッケージ構造

ASIC用のパッケージにはQFP，PBGA（plastic BGA，**図4**），FBGA（fine pitch BGA，**図5**），TBGA（tape BGA，**図6**），ABGA（advanced BGA，**図7**），FCBGA（flip-chip BGA，**図8**）などがあります．それぞれのパッケージの熱抵抗θ_{ja}とθ_{jc}を**図9**に示します．パッケージの上面プレートが銅板製で，チップが直接伝熱ペーストで接着されたABGAやFCBGAなどは上面への熱伝導が良好で，接合部とパッケージ表面の間の熱抵抗θ_{jc}も，接合部から雰囲気温度までの熱抵抗θ_{ja}も良好な値になっています．また，PBGAでは2層配線基板よりも4層配線基板のほうが熱抵抗が低く，サーマル・ビアの直下にはんだボールを配置することによって，さらに熱抵抗を下げることができます．

2）パッケージ寸法

一般に，パッケージ寸法が大きいほど熱抵抗は低いと言われています．実際，パッケージの熱抵抗θ_{jc}の低いABGAでは，**図10**に示すようにパッケージ寸法が大きいほど熱抵抗は小さくなっています．

ところが，2層のパッケージ基板を採用したPBGAやFBGAでは，**図11**に示すようにパッケージ寸法との相関

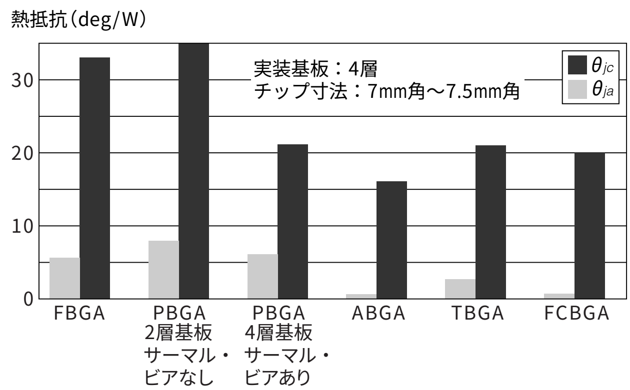
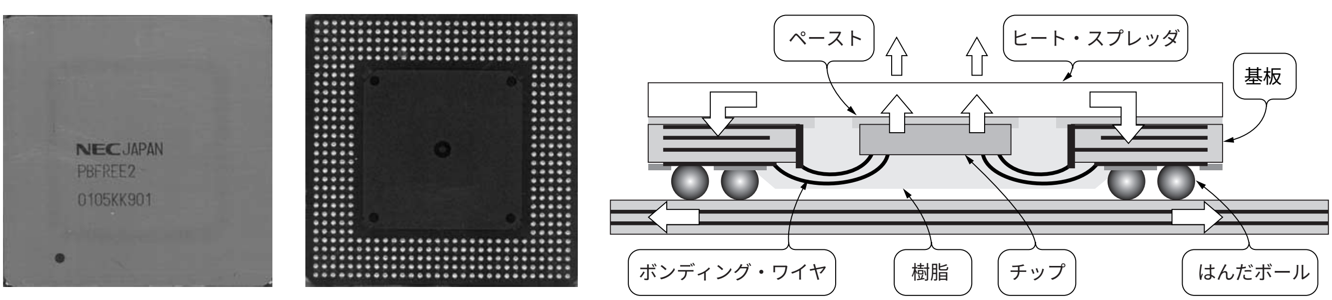


図9　パッケージ構造による熱抵抗の違い

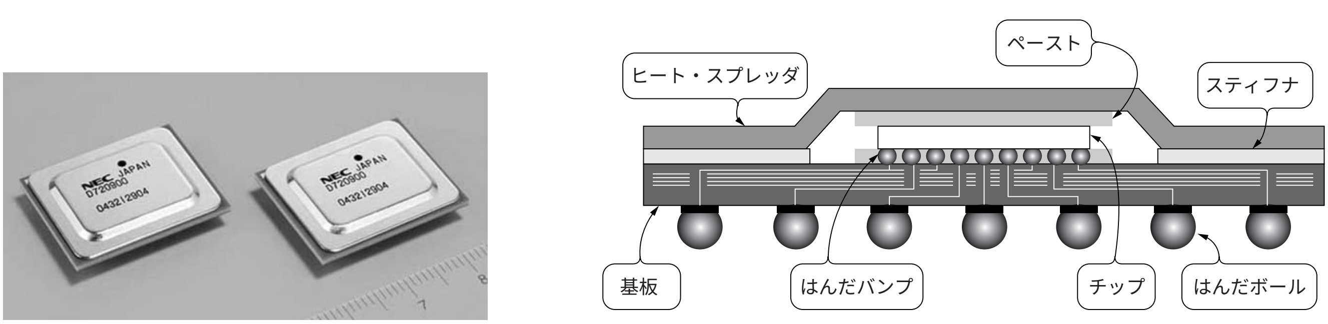
パッケージの上面プレートが銅板製で，チップが直接伝熱ペーストで接着されたABGAやFCBGAなどは上面への熱伝導が良好である．



（**a**）チップ表面　（**b**）チップ裏面　（**c**）チップ断面図

図7　ABGA

ABGAは，多層基板に銅板のヒート・スプレッダが貼り付けられ，チップが中央のキャビティに搭載されたパッケージ（キャビティ・ダウン）．半導体メーカごとに名まえが異なっており，SBGA（Super BGA），EBGA（Enhanced BGA）とも呼ばれている．ボール・ピッチは1mm～1.27mm，ボール数は256～1,008個．熱流は熱伝導率の高い銅板を通ってパッケージ表面に出るが，雰囲気へ放熱（熱伝達）されるのはその一部で，残りはプリント基板側へ熱伝導される．



（**a**）チップ外観　（**b**）チップ断面図

図8　FCBGA

高密度配線のビルドアップ基板にチップを下向けにはんだボール接続したBGA．ボール数は624～2,803個．

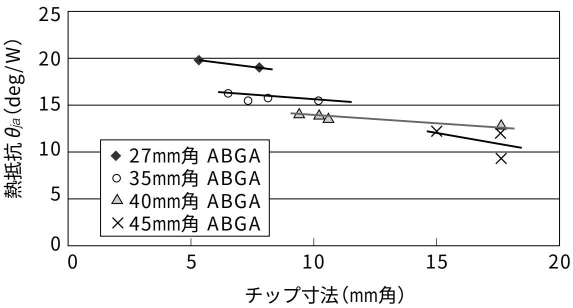
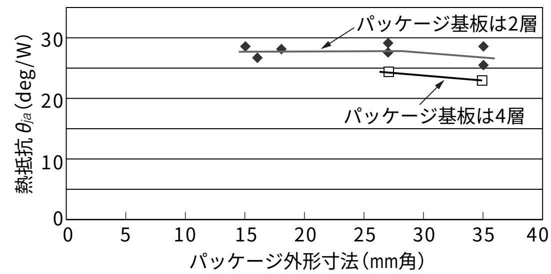
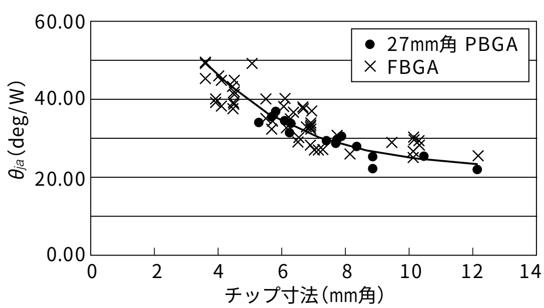


図10　ABGAのパッケージ寸法と熱抵抗
伝熱面積の大きなABGAはパッケージ寸法が大きくなることによって，より広範囲に放熱範囲を広げられる．



チップ寸法は7.0mm角～7.5mm角をプロット，実装基板は4層

図11　PBGA，FBGAのパッケージ寸法と熱抵抗
伝熱面積の小さな2層基板のPBGAの場合，プリント基板上の温度プロファイルはFBGAとほぼ等しく，パッケージ寸法は熱抵抗にほとんど影響していない．



パッケージ基板は2層，実装基板は4層，風速0m/sの θ_{ja} 値

図12　PBGA，FBGA外形とチップ寸法による θ_{ja} の変化
チップ面積と熱抵抗 θ_{ja} はほぼ反比例する．

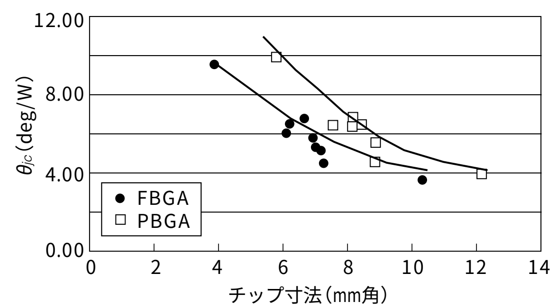


図13　PBGAとFBGAの θ_{jc}
熱抵抗 θ_{ja} と同様に，接合部とパッケージの間の熱抵抗 θ_{jc} もチップ面積に反比例する．FBGAはPBGAよりも樹脂厚が薄いので θ_{jc} が低い．

が見られず，チップ寸法が同じであれば同一の熱抵抗値を示しています．これは，2層パッケージ基板を採用しているPBGAの伝熱面積が小さい(チップ直下のみが熱くなっている)ため，パッケージの外形が大きくなってもプリント基板上の温度プロファイルは変化していないと理解できます．

それに対して，ABGAの場合，パッケージ表面の銅板を通って熱がパッケージ全面に拡散するため，プリント基板上の温度プロファイルはパッケージ寸法に比例して熱伝達面積が大きくなったと考えられます．

3) チップ寸法

シリコンの熱伝導率は117.5W/m・degとモールド樹脂の100倍，パッケージ基板の10倍です．つまり，チップ自体の表面積は熱伝導に大きく寄与しており，チップ面積と熱抵抗 θ_{ja} はほぼ反比例します(**図12**)．また**図13**に示すように，接合部とパッケージの間の熱抵抗 θ_{jc} もチップ面積に反比例しています．これは，モールド樹脂やパッケージ基板などの絶縁物に囲まれている中で，チップ面積がもっとも放熱に寄与しているからです．

ちなみに，FBGAの θ_{jc} のほうがPBGAよりも小さな値となっていますが，これはチップ表面のモールド樹脂厚がFBGAはPBGAの半分以下と薄いために熱経路長が短くなったからです．パッケージ表面にヒート・シンクやヒート・スプレッダを貼り付けて熱抵抗を下げるときは，θ_{jc} が低いほど効果があります．ですので，この場合はPBGAよりもチップ上のパッケージ厚が薄いFBGAのほうが放熱が良好であることがわかります．

4) プリント基板

プリント基板は，ガラス繊維やエポキシ樹脂，銅はくから構成される複合材料です．そのため，等価熱伝導率を有する均一材料として簡易モデル化する場合と，銅はくとスルー・ホールなどの要素を詳細にモデル化する場合があります．

前者の場合，プリント基板の面方向の等価熱伝導率は**図2**に記した計算式で求められ，銅はく残存率によって異なった値をとります．例えば，4層基板で銅配線層の厚さ

が36μm，外層2層の銅はく残存率が30%，内層の銅はく残存率が70%，総厚1.6mmとすると，プリント基板の等価熱伝導率は18W/m・degとなります．

アジアの組み立て受託企業の解析報告書を見ると，プリント基板を13W/m・degや16W/m・degの均一等価材料とみなして解析しているケースが多いことがわかります．半導体パッケージの熱抵抗値θ_{ja}は雰囲気温度への熱伝達に大きく寄与しているプリント基板に影響されるので，シミュレーション時には実際に使用する基板の仕様と同じパラメータを入力しないと正しい解析値は得られません．例えば，PBGAを実装するプリント基板が2層の場合はθ_{ja}の値が32deg/Wと解析されますが，4層基板に実装する場合はより低い24deg/Wという値が得られます．

5）風速

当然のことではありますが，ファンなどの強制空冷を用いれば，パッケージ表面やプリント基板表面から大気への熱伝達が円滑になり，雰囲気への熱抵抗θ_{ja}は低減します．

3 パッケージの低熱抵抗設計

ここからは，QFPとBGAについての低熱抵抗設計の例を述べます．その前に，パッケージに求められる熱抵抗とコストの兼ね合いについて説明しておきます．

● 過度のマージンによるパッケージのコストアップに注意

パッケージに求められる雰囲気への熱抵抗値θ_{ja}は，チップの最大消費電力（W_{MAX}）と半導体メーカが開示しているデバイスの最大接合温度（T_{jMAX}），最大雰囲気温度（T_{aMAX}）から次式で求められます．

$$\theta_{ja} = (T_{jMAX} - T_{aMAX}) / W_{MAX}$$

ここで，デバイスのT_{jMAX}は，チップが長期にわたって劣化せずに要求特性を満たすことのできる最大の温度なので製品によって異なりますが，150℃や125℃という数値が代表的です．例えば，55℃の雰囲気温度で，最大接合温度の保証値が125℃，最大消費電力が2Wのデバイスには35deg/Wのパッケージが必要になります．

ところで，チップの最大消費電力W_{MAX}はだれが決定するのでしょうか？　最大消費電力W_{MAX}は，シリコン素子上のトランジスタが同時に動作する最大数によって決まります．ここで，チップ上にある全トランジスタが同時にON/OFFするわけではないので，「最大稼働時には全トランジスタの平均何%が動作するから，電流が何A流れるだろう」という推定のもとに，最大消費電力の平均値が算出されています．この「何%のトランジスタが動作するか」という見積もりは，ASICデバイスの場合はシステム側の設計によりますし，トランジスタ1個のスイッチング電流は半導体メーカの仕様で決まります．

したがって，ASICデバイスの発注時に，システム設計側で最大稼働状態においてトランジスタの何%が稼働するかを把握できない場合，安全をみて最大消費電力を高めに設定して計算することになります．その結果，熱抵抗として過度に小さな値が要求され，高価なパッケージを選択せざるをえない場合もあります．また，汎用製品の一つであるCPUなども，システム側における使われかたによって実際の最大消費電力が異なるので，半導体メーカとしてはマージンをとってパッケージを設計することになります．

電子機器メーカが想定する機器内の雰囲気温度T_aは，「対象電子デバイスからの影響を受けない十分に離れた位置での空気温度」と定義されています．そして，その温度をベースとして半導体デバイスの接合温度が動作保証温度以下になるように設計します．しかし，実際に電子部品がぎっしりと詰め込まれたプリント基板上の雰囲気温度を測ろうとした場合，部品から離れ過ぎると，実際の雰囲気温度というよりも室温に近くなります．一方，部品に近づけば，デバイス自身の温度上昇の影響を受けてしまいます（**図14**）．つまり，雰囲気温度とは，「パッケージの熱設計のために想定された，現実には測定できない温度」ということになります．

このように，パッケージに要求される熱抵抗θ_{ja}を導き出すための前提条件は不確定なものが多いため，結果として過度のマージンをもつ高価なパッケージを採用する場合が

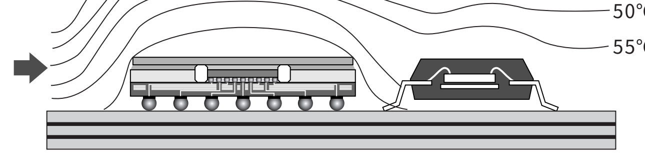


図14　雰囲気温度とは？

自己発熱の影響を受けず，周囲のデバイスによる温度上昇を見込んだ温度が雰囲気温度だが，図の右側のQFPの雰囲気温度は，いったいどの温度を指すのだろうか？

あります．

● QFPの熱抵抗はこうやって下げる

QFPについて，材料，リード・フレーム，パッケージ構造の三つの観点から熱抵抗を下げる方法を紹介します．

1）開発余地のある高熱伝導樹脂

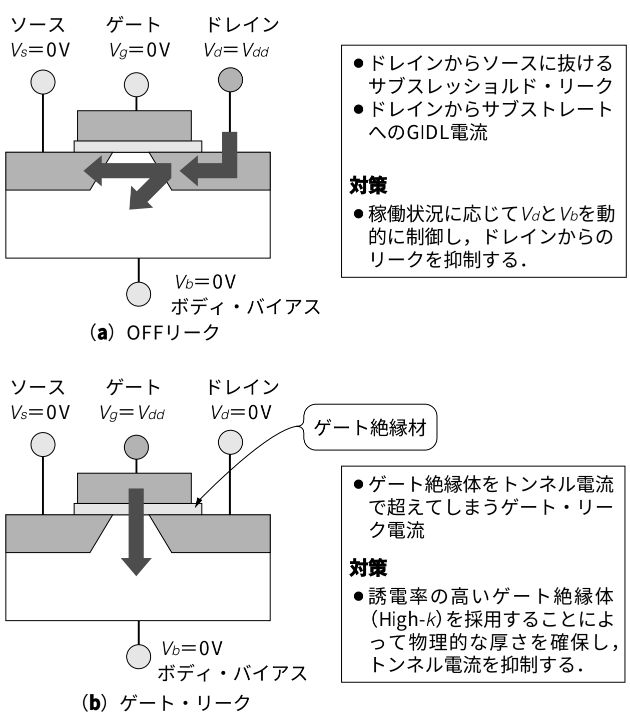
QFPの場合，**図15**に示すように材料の観点からはモールド樹脂がもっとも熱伝導率が低く，0.8～0.9W/m・degとなっており，高熱伝導化することが考えられます．その手法としては，「樹脂に充てんするフィラーの率を増加する」，「高伝導率フィラーに変更する」などの方法が考えられます．

前者については，外部リードのメッキを鉛フリー化するために，実装時のリフロ温度を上げる必要があり，そのリフロに耐えられる樹脂にするために，現在，90%程度までフィラー充てん率を高くしています．言い換えれば，モールド樹脂といっても樹脂成分は10%しかなく，主成分は溶融シリカと呼ばれる球状の微細ガラスなのです．この溶融シリカの熱伝導率は1.3W/m・degなので，より熱伝導率の高いアルミナ（36W/m・deg）などや，セラミックを破砕したフィラーに変更することによって，モールド樹脂の熱抵抗を下げることができます．

モールド樹脂は半導体の信頼性の要なので，熱伝導率だけで材料を選定することはできません．しかし，今後，消

Column 2　半導体デバイスの微細化とリーク電流のジレンマ

微細化技術の革新によって数多くの回路がチップに集積され，同時に動作するトランジスタの数が増えました．また，それらのトランジスタを使って大量のデータを瞬時に計算できるように動作周波数を高めてきました．これに伴って消費電力は増加していきますが，それを抑制するために電源電圧は段階的に引き下げられてきました．消費電力は電源電圧の2乗に比例するので，電源電圧の引き下げは消費電力の低減に大きな効果があります．



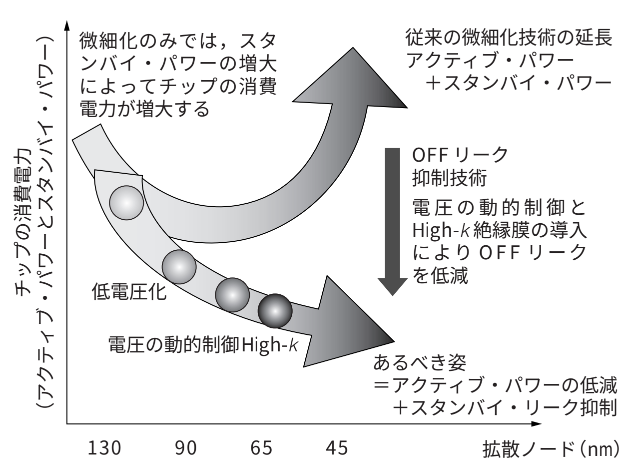
図A-1　トランジスタの微細化に伴うリークの増大

しかし，それによって電流駆動能力が落ちないように，ゲートのしきい値電圧を下げて感度を高める必要があります．しきい値電圧を下げた結果，ゲート電圧がゼロになってもドレインから電流が流れ続けるOFFリーク（スイッチがOFFのときのもれ電流）が発生し，休止時の消費電力（スタンバイ・パワー）が増えてしまいました（**図A-1**）．

● チップの微細化によってリーク電流が増える

デバイスの微細化によってゲート面積が小さくなります．ゲート容量はゲート絶縁膜の誘電率kとゲート面積Sの積に比例し，ゲート膜厚に反比例するので，一定のゲート容量を得るためにはゲート絶縁膜の厚みを薄くするか，高誘電率の絶縁膜（high-k材）を採用するしかありません．ゲート絶縁膜を薄くしていくとチャネルへのトンネル電流が発生し，ゲート・リーク電流が急激に増大します．

これらリーク電流が増大することによって，スタンバイ・パワーは



図A-2　半導体の微細化と消費電力の危機

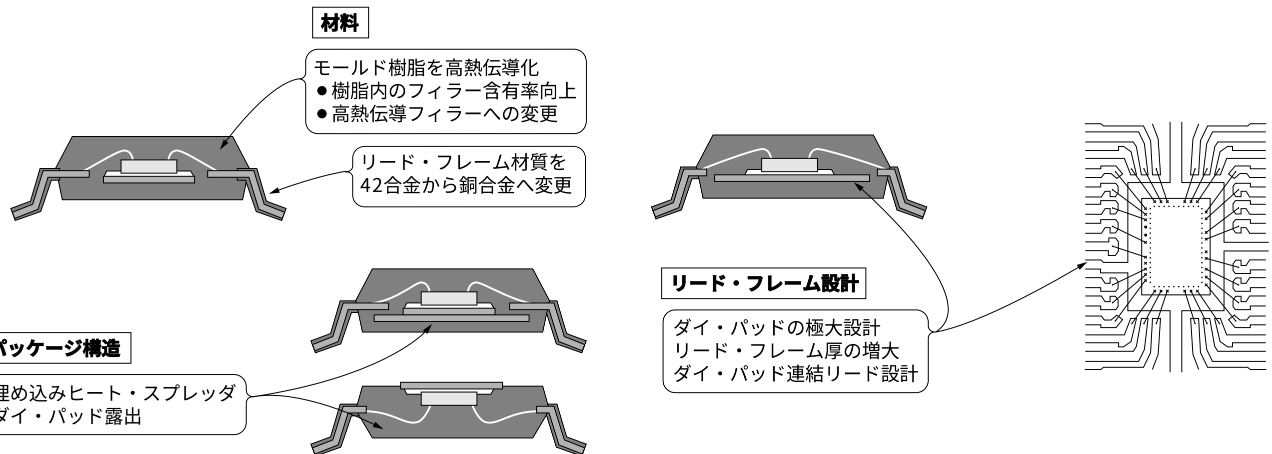


図15　QFPの低熱抵抗設計

QFPについて，材料，リード・フレーム，パッケージ構造の三つの観点から熱抵抗を下げる方法を示した

急増して稼働時の消費電力（アクティブ・パワー）に匹敵する電力量となります．すなわち，機器を稼働していないのに稼働時の半分の電力が消費されてしまうことになるのです（**図A-2**）．

● リーク電流がチップの暴走を引き起こす

スタンバイ・パワーはアクティブ・パワーと比べて温度係数が高く，ドレインとソースの間のリーク（サブスレッショルド・リーク）は50℃の上昇で10倍にもなります．熱を制御しないと増大するリーク電流によって発熱し，さらにリーク電流が増えるという悪循環をもたらし，最悪の場合には熱暴走に陥る危険性があります．

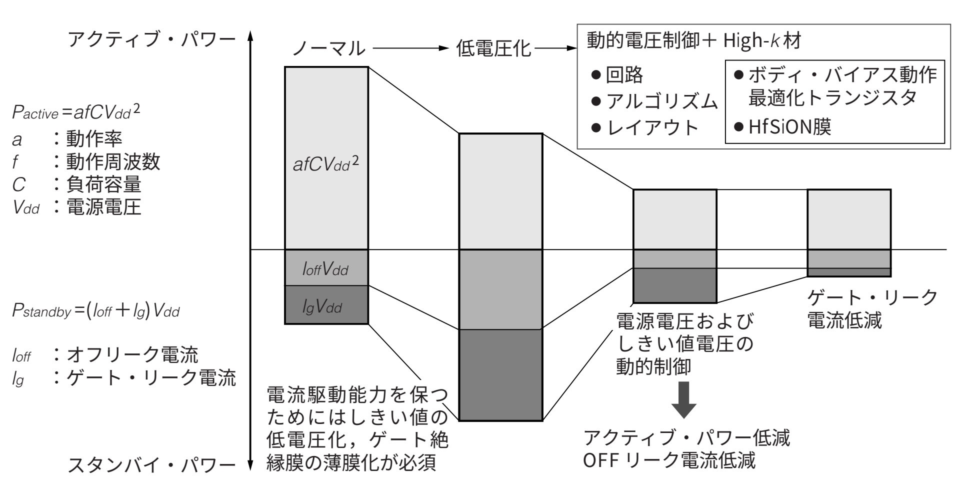
また，動作時もリーク電流が止まるわけではないので，消費電力はスタンバイ・パワーが加算された値になります．

● リーク電流をカットする手法

微細化によるゲート・リークと動作電圧の低電圧化によるOFFリークを抑制するために，半導体メーカ各社から対策が提案されています．

図A-3に，筆者ら（NECエレクトロニクス）の低電力化手法を紹介します．縦軸のプラス方向は動作時の消費電力（アクティブ・パワー），マイナス方向はスタンバイ・パワーを表しており，棒グラフの総面積が消費電力となっています．低電圧化に伴うOFFリークの増加に対応して，動的電圧制御とhigh-k材によってOFFリークを抑制することを目指しています．

従来はアクティブ・パワーが消費電力の主役であったため，動作保証温度を超えても「動作が遅くなった」程度で済んでいました．しかし，近年の微細化によってスタンバイ・パワーの比率が大きくなり，温度上昇と大きな温度係数によって熱暴走を引き起こして，デバイスが破壊される危険性が大きくなってきたと言えます．



図A-3
消費電力の低減手法

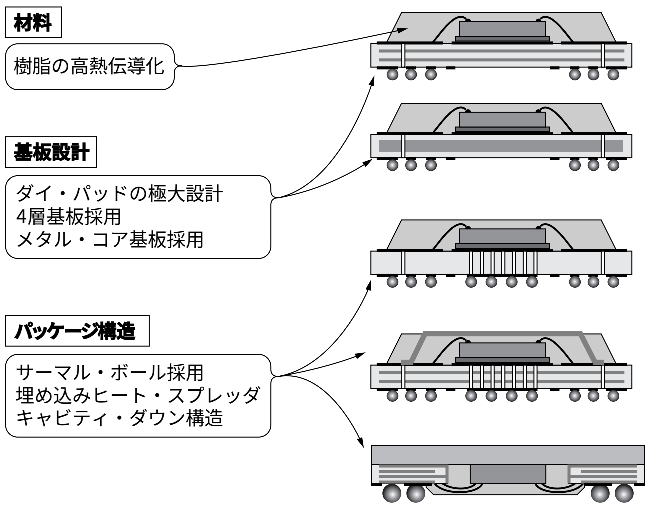


図16　BGAの低熱抵抗設計
BGAについて，材料，基板設計，パッケージ構造の三つの観点から伝熱面積を大きくする低熱抵抗化施策を示した．

費電力の増大に伴って高熱伝導樹脂への要求が高まることは確実です．また，チップ上の樹脂厚を薄くすることによって伝熱距離が短くなり，熱抵抗 θ_{ja} が低くなります．そのため，ヒート・シンクを表面に取り付けて放熱する際は，QFPよりも樹脂厚の薄いTQFPのほうがヒート・シンクによる放熱の効果は大きくなります．

2）リード・フレーム材の切り替えが遅れている日本企業

リード・フレーム材質を42合金（Fe-Ni）から銅合金に変えることによって熱抵抗が下がることは周知の事実です．後発のアジアの組み立て受託企業は，すでに銅合金リード・フレーム製QFPのみをラインナップしています．

残念ながら日本の半導体メーカは，顧客の了承が得られないなどの理由で，42合金から銅合金への切り替えが遅れており，同一形状のQFPでも製造ラインは42合金リード・フレーム・ラインと銅合金リード・フレーム・ラインがあるといった，非効率な面があります．

3）伝熱面積を広げるリード・フレーム設計上のくふう

リード・フレーム設計の観点からは，チップが搭載されているダイ・パッドの寸法を可能な限り大きく設計することによって伝熱面積を増やし，熱抵抗を下げることができます．さらに熱抵抗を下げる必要がある場合，ダイ・パッドにヒート・スプレッダを取り付けて，ほぼパッケージ面積全面に伝熱する構造をとることができます．

リード・フレームそのものを厚くすることによって熱抵抗値を下げることもできます．しかし，QFPのピン数が多くなると，リード・フレームのパターンを密（ファイン）にする必要があることから，加工上厚さを薄くしなければならず，この方法が適用できない場合もあります．

グラウンド・リードなどを活用して，ダイ・パッドと外部リードを物理的に連結し，チップの熱を外部リード経由でプリント基板に逃がす方法もよくとられます．

以上はQFPの伝熱面積を大きくするための施策と言えますが，そのほかにQFP単体では対処不可能な電力を消費するパワー・デバイスについては，QFPを上下反転してダイ・パッドを表面に露出させ，基板実装後にヒート・シンクをQFPの上に接着させるという構造にすることもあります．

● BGAの熱抵抗はこうやって下げる

BGAの場合も，**図16**に示すように材料，基板設計，パッケージ構造によって伝熱面積を大きくする低熱抵抗化の施策があります．

1）コストアップの少ないサーマル・ボールを付ける

パッケージ構造の観点からは，まずチップ裏面にはんだボールを多数設け，はんだボールとダイ・パッドを熱的に結ぶスルー・ホール（サーマル・ビア）を設けることによって，チップ裏面から直下のはんだボールまでの熱的な経路を作ります．これらのパッケージ中央のボールは，電気的にはグラウンドの役割，熱的には実装基板への熱伝導の役割を担っています．そのため，これらのボールは一般に「サーマル・ボール」と呼ばれます．

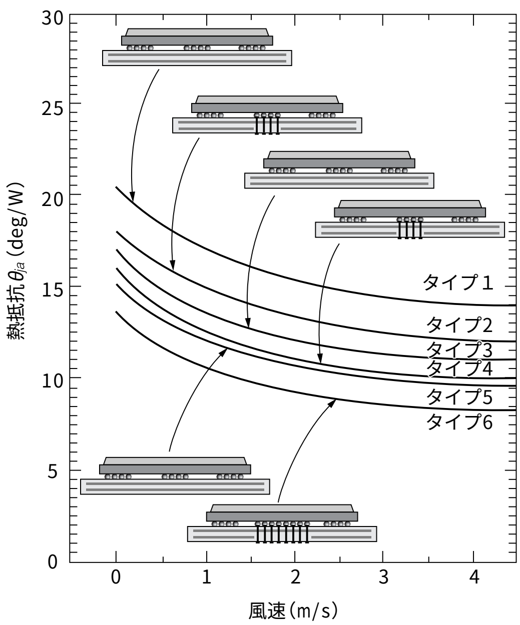
低熱抵抗化の施策の中ではこの方法がもっとも安価です．サーマル・ボールがグラウンド端子も兼ねているので，周辺のボールは信号ピンとして割り当てられ，実質的な端子数は増加します．

2）パッケージ基板の内層2層をグラウンド層に

BGAを搭載する実装基板には電気的特性から電源層，グラウンド層を有する4層以上のプリント基板を用いるのが一般的ですが，パッケージ基板については電気的な理由よりも熱抵抗を下げるために4層構造を採用するケースが多いようです．

この場合，グラウンドを兼ねるダイ・パッドに設けられたスルー・ホールによってチップから内層へ熱流を伝え，パッケージ基板が4層であっても内層を2層ともグラウンドにして熱経路を確実に確保する設計を行います．さらに熱抵抗を下げたい場合は，厚いメタル・コア層を基板内に埋め込んだ基板を採用します．

1. PBGAにサーマル・ボールを追加
2. パッケージ基板を2層基板から4層基板へ
3. パッケージ基板の内層プレーンを72 μmへ厚く
4. サーマル・ボール部に対応する実装基板に内層プレーンと接続したビアを設置



	サーマル・ビアの数	パッケージ基板の層数	パッケージを実装した基板のスルー・ホール	27mm角,272ピンまたは320ピンの実測値[注]
タイプ1 (272ピン)	16	2層	接続なし	24.6deg/W
タイプ2 (272ピン)	16	2層	2層と接続	23.7deg/W
タイプ3 (272ピン)	16	4層	接続なし	21.7deg/W
タイプ4 (272ピン)	16	4層	2層と接続	21.1deg/W
タイプ5 (320ピン)	64	4層	接続なし	18.4deg/W
タイプ6 (320ピン)	64	4層	2層と接続	17.5deg/W

注：チップ・サイズは10.4mm角，風速は0m/s

図17 PBGAの熱抵抗低減施策の例
熱抵抗を下げる四つの施作を実施したときの効果を調査した．

3）埋め込みヒート・スプレッダを設ける

サーマル・ボールと4層のパッケージ基板という組み合わせでも熱抵抗の要求値に届かない場合，パッケージ内に埋め込みヒート・スプレッダを設けます．このヒート・スプレッダは，モールド樹脂を伝わってきた熱をスプレッダによってパッケージ表面に拡散させるために埋め込みます．しかし，QFPの場合と異なり，ダイ・パッドやチップに直接接触しているわけではないので，熱抵抗の低減率は限定的です．

上記の4層パッケージ基板（内層銅はく72 μm厚）と比較して，2deg/Wの低減効果となっています．また，パッケージ寸法が小さい場合は熱を拡散させる面積が小さくなるので，ヒート・スプレッダの効果は減少します．

4）プリント基板設計との組み合わせで熱抵抗を下げる

図17は，PBGAを実装した際のプリント基板の仕様の違いによる熱抵抗の一例です．

27mm角の256ピンPBGAの中央に，16（4×4）個のサーマル・ボールをグラウンド端子として追加したパッケージを2層基板に搭載すると，24.6deg/Wのθ_{ja}が得られます．

プリント基板を4層にすると21.7deg/Wになります．ここで，サーマル・ボールがはんだ付けされるプリント基板のランドにスルー・ホールを多数設けて，内層のグラウンド・プレーンに熱伝導するパスを作ると，チップからの熱経路が「パッケージのサーマル・ビア→サーマル・ボール→プリント基板のスルー・ホール→内層プレーン→基板放熱」と抜けて放熱経路が確立されることで，21.1deg/Wに下がります．さらに，サーマル・ボールを，チップ全面をカバーできる大きさの64（8×8）個に増やしてやると，17.5 deg/Wとなります．

このように，プリント基板を含む全体の熱設計によって低コストのパッケージを使いこなすくふうも必要です．

5）低熱抵抗のキャビティ・ダウン型BGAを採用する

もっとも熱抵抗が低くなるのは，QFPと同様にチップを裏返してヒート・スプレッダが表面に露出したキャビティ・ダウン構造のBGAです．

このタイプのパッケージには，TBGAやABGA，FCBGA

などがあり，直接チップから熱がパッケージ表面の銅板に熱伝導され，基板への熱伝導や対流による放熱，放射によって低い θ_{ja} を得ることができます．

● 半導体デバイスの接合温度を実測

実使用状態におけるチップの接合温度は，熱抵抗値 θ_{ja} と実際の雰囲気温度，消費電力から算出できますが，直接測定することも可能です．

パッケージ上面に熱容量の小さな細い熱電対を貼り付けて，実使用状態におけるパッケージ表面温度を測定し，この実測値にチップとパッケージ表面の間の温度降下分を加えます．この温度降下分は，パッケージ表面までの熱抵抗 θ_{jc} ×消費電力 W と誤解されがちですが，正しくは $\Psi_{jt} \times W$ です．Ψ_{jt} という熱パラメータは，パッケージの上面（たいていの場合，なつ印面と同義）の温度と接合温度の1W当たりの温度差を示しています[3]．1Wで発生する熱量の一部のみがなつ印面に流れているので，熱抵抗値とは異なるパラメータであり，フーリエの法則 $\Delta T = \theta_{jc} \times Q$ の ΔT に相当しています．

表1には，各パッケージの θ_{jc} と比較して代表値を示してあります．PBGAは樹脂の熱伝導率が低いために $\theta_{jc} = 4.1$ deg/Wと高く，ABGAは銅材スプレッダの熱伝導性が良好なために $\theta_{jc} = 0.3$deg/Wと低いのですが，自然対流時の Ψ_{jt} は両パッケージともに0.2 ℃と同じ値になっています．これは，PBGAでは θ_{jc} が大きく，パッケージ表面側への熱流 Q が小さいのに対して，ABGAでは θ_{jc} が小さく，Q が大きいために $\theta_{jc} \times Q$ が同じ値になったのです．

逆に θ_{jc} と Ψ_{jt} から各パッケージにおける表面トップに流れ出る熱量を知ることができます．例えば，PBGAならばトップ面へ0.05W，プリント基板側へ0.95mW流れることになります．ABGAの場合はトップ面に0.7W流れますが，対流熱伝達による抵抗値88deg/W（外形寸法35mm角の場合）に抑えられて，熱流は再びパッケージ基板を通して実装基板側へ流れ込みます（**図17**）．

システムにおける実使用状態でチップの温度を測定することは，パッケージが選定された後の作業となるので手遅れと思われがちですが，実測データは将来開発するデバイスの消費電力の推定に役立ちます．また，システム側で消費電力計算が半導体デバイス設計時の見積もりよりも大幅に増えてしまったときは，実使用状態で接合温度が何℃になっているかを知ることは非常に重要です．

● 高精度，低コストの実現には接合温度の検証が大事

半導体チップの集積度は大きく進歩し，システム全体を1チップに集積するシステムLSIの時代を迎えています．その技術革新のけん引役を担ってきた微細化技術はスタンバイ・リークという新たな壁に直面して，高い温度係数による熱暴走というリスクを負うことになりました．

一方では，実装技術の進歩によって小型化したパッケージが基板上に高密度実装されるようになりました．マルチSiP（system in package）ではチップを積層するため，発熱密度は確実に上がっています．

こうした環境の変化によって，半導体パッケージの熱設計を含むシステム全体の熱設計はますます重要になってきています．半導体の熱設計は想定された最大消費電力と雰囲気温度に基づいて最小必要条件を満たす安価な構造を提案するものであり，想定された条件そのものがあいまいなためにマージンをとりすぎて高価になってしまう場合もあります．設計された機器の接合温度の検証を繰り返し，想定条件を精度良く高めていくことが必要です．

参考・引用*文献

(1)* JEITA（電子情報技術産業協会）；2004年度版日本実装技術ロードマップ．
(2)* 石塚勝；電子機器の熱設計，丸善，2003年8月．
(3) Electronic Industries Association（EIA）/Joint Electron Device Engineering Council（JEDEC）；Integrated Circuit Thermal Test Method Environmental Conditions Natural Convection（Still Air），JEDEC Standard E/A/JESD51-2，1995．
(4) 国峰尚樹；エレクトロニクスのための熱設計完全入門，日刊工業新聞社，1997年7月．
(5) 中島宏文；最新 パッケージの基礎知識，トランジスタ技術，pp.207-219，2004年7月号．
(6) 中島宏文；最新！ パッケージの電気設計と選択，トランジスタ技術，pp.237-246，2004年8月号

なかじま・ひろふみ
NECエレクトロニクス（株）

<筆者プロフィール>
中島宏文．1979年，日本電気に入社．以来，半導体パッケージの設計開発に従事．1988年から5年間，米国カリフォルニア州の半導体生産子会社に勤務．現地技術者との米国流の対面給与折衝を重ねるうちに英語力を養う．帰国後は日本国内のBGA展開の時期に重なって，多様なBGAを世の中に送り出した．現在はマーケティング，広報，製品企画を担当している．